

[19]中华人民共和国专利局

[51] Int.Cl.<sup>6</sup>

H01L 23 / 58

H01L 29 / 78 H01L 27 / 02



[12] 发明专利申请公开说明书

[21] 申请号 97125880.5

[43]公开日 1998 年 7 月 1 日

[11] 公开号 CN 1186341A

[22]申请日 97.12.26

### [30] 优先权

[32]96-12-26[33]JP[31]347828-96

[71] 申请人 日本电气株式会社

**地址** 日本国东京都

[72]发明人 山本有秀

**[74] 专利代理机构 中科专利代理有限责任公司**

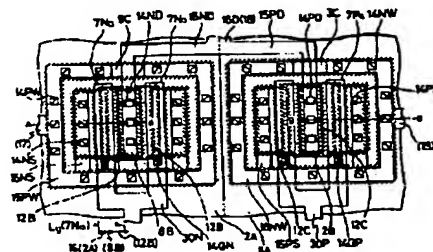
代理人 刘晓峰 朱进桂

权利要求书 2 页 说明书 15.0 页 附图页数 9 页

[54]发明名称 半导体器件

**[57]摘要**

一种金属氧化物半导体大规模集成电路(MOSLSI), 其中扩散层的表面由硅构成。MOSLSI 包括由 MOS 晶体管形成的输入及输出保护元件。每个 MOS 晶体管包括一个形成在漏极扩散层与栅电极之间的氧化物膜, 这样栅电极部分延伸到场氧化膜上部位置。在包括场氧化膜及漏极扩散膜的区域下面形成与漏极扩散层的导电型相同的阱。由于场氧化膜的下部表现出高电阻, 即使在扩散层的表面上形成具有低电阻的硅层, 晶体管的击穿电压也被保持在高值。



(BJ)第 1456 号

## 权 利 要 求 书

---

1、一种半导体器件，其特征在于包含：

形成在半导体基片上的多个电路元件；

在所述半导体基片上选择提供用于将所述电路元件彼此电隔离的场氧化物薄膜；

用于向所述电路元件中的第一个提供外部信号的输入端；

用于从所述电路元件中的第二个向外提供信号的输出端；及

一对内置在所述第一电路元件与所述输入端之间及所述第二电路元件与所述输出端之间用于在外部电涌中保护所述电路元件的保护元件；

每个所述保护元件包括多个并行设置的MOS晶体管，而其中每个MOS晶体管包括一个源极区、一源极电极、一漏极区、一漏极电极、一绝缘区以及一栅极电极，而其中源极电极包括选择形成在所述半导体基片的表面部分的第一导电型的一区域上的第二导电型的第一扩散层和形成在第二导电型的所述第一扩散层的表面上的第一金属硅化物层；源电极与所述第一金属硅化物层连接；漏极区包括第二导电型的第二扩散层，其在第一导电型的所述区域的至少一表面部分上与第二导电型的所述第一扩散层成相对的关系设置，并且延伸的比所述第二导电型的第一扩散层深；还包括形成在第二导电型的所述第二扩散层的表面部分上并包含浓度比第二导电型的所述第二扩散层的表面部分的浓度高的杂质浓度的第二导电型的第三扩散层，提供在第二导电型的所述第三扩散层的表面上的第二金属硅化物层；漏电极与所述第二金属硅化物层连接，在第二导电型的所述第一扩散层与第二导电型的所述第三扩散层之间形成一绝缘区并且从第二导电型的所述第二扩散层的表面延伸到一预定深度；另外其中的栅电极盖住第二导电型的所述第一扩散层与内置有栅绝缘膜的所述绝缘区之间的所述半导体基片的表面。

2、根据权利要求1所述的半导体器件，其特征在于每个形成所述保

护元件的所述 MOS 晶体管在所述栅极电极和所述源电极与同一电源端 2 相连，当所述漏极电极被施加一过高电压时，沿从所述漏极电极到第二导电型的所述第一扩散层的电流线路的寄生电阻通过提供第二导电型的所述第二扩散层而增大，从而热击穿电压被设定的比所述漏电极的承受电压要高。

3、根据权利要求 1 或 2 所述的半导体器件，其特征在于形成所述保护元件的所述 MOS 晶体管的沟道长度被设定为比形成所述电路元件的 MOS 晶体管的最小沟道长度的三倍要短。

4、根据权利要求 1 所述的半导体器件，其特征在于还包含第二导电型的第四扩散层，其与第二导电型的所述第一扩散层的至少一个底面相接触，并且具有比第二导电型的所述第一扩散层的浓度低的浓度。

5、根据权利要求 4 所述的半导体器件，其特征在于其中第二导电型的所述第四扩散层围住第二导电型的所述第一扩散层。

6、根据权利要求 1、2、4 及 5 中任一个权利要求所述的半导体器件，其特征在于其中第二导电型的所述第二扩散层与第二导电型的阱同时形成。

7、根据权利要求 4 或 5 所述的半导体器件，其特征在于其中所述第二导电型的第四扩散层与第二导电型的阱同时形成。

8、根据权利要求 2 所述的半导体器件，其特征在于还包含在端部与形成保护元件的每个所述 MOS 晶体管的漏极电极相连的电阻元件，及在所述电阻元件的另一端与 MOS 晶体管的源电极之间内置的一个钳制二极管，其具有比 MOS 晶体管的击穿电压低的耐压。

# 说明书

## 半导体器件

本发明涉及一种半导体器件，且尤其涉及包括 MOS 晶体管（金属氧化物半导体晶体管）且内设输入及输出保护电路的半导体集成电路器件。

在者如金属氧化物半导体大规模集成电路（MOSLSI）的半导体集成电路中，为了防止施加到输入输出端（“输入端或输出端”的简写）的静电电涌所造成的内部电路元件的可能的击穿，在内部电路与输入/输出端之间提供一个输入/输出保护电路（“输入保护电路或输出保护电路”的简写）。一般讲，每个输入保护电路及每个输出保护电路都由一个 CMOS 电路（互补金属氧化物半导体电路）构成，而在其中 CMOS 电路可如图 15（a）及 15(b)中所示，在电源电势 VDD 及接地电势 GND 之间分别由一个 N 沟道晶体管 N1 和一个 P 沟道晶体管 P1 串联连接。

同时，近几年来在形成半导体集成电路器件的 MOS 晶体管中，为了实现高集成度及高速运行，所形成的栅电极精细到半微米的尺寸或更小，而所形成的作为薄膜的栅极绝缘膜为 20nm 或更小。

此外，为了减少源极及漏极或栅电极的扩散层的电阻，使用了金属硅的技术。通过金属硅技术，扩散层的电阻被从 100 到 200  $\Omega/\mu\text{m}^2$  减少到了 5 到 10  $\Omega/\mu\text{m}^2$ ，也即大约减少到了 1/20。

在图 15(a)或 15(b)中示出了输入/输出保护电路平面图，其是使用如图 16 中所示的用金属硅技术形成的 MOS 晶体管在半导体基片上形成的，而在图 17（a）及 17(b)中分别示出了图 16 中沿线 A-A 及线 B-B 的截面图。参考图 16、17(a)及 17(b)，在 P 型硅半导体基片 1 上提供一个 P 型阱 2A，而在 P 型阱 2A 上形成 N-沟道晶体管并包括  $\text{N}^+$  型扩散层 3A 及 3B、 $\text{N}^-$  型扩散层 4、栅极绝缘膜 5、边壁间隔 6 及由多晶硅层制成的栅电极 7N。由 N 阱 8A、 $\text{P}^+$  型扩散层 9A 及 9B、 $\text{P}^-$  型扩散层 10、栅极绝缘膜 5、边壁间隔 6 及栅电极 7P 形成了  $\text{P}^-$  沟道晶体管。此外，为了将 GND 端 17 与 P 型阱 2A 相连及将 VDD 端 19 与 N 阱 8A 相连，分别形成

$P^+$  扩散层 9C 及  $N^+$  扩散层 3C。例如，在扩散层 3A、3B 及 9A、9B 及 9C 的表面上通过转换为金属硅来形成钛硅层 11。均氧化物薄膜 12A 将 N-沟道晶体管、P-通道晶体管及阱的接地部分彼此隔离开。在  $N^+$ -型扩散层 3A、3B、3C、9A、9B 及 9C 的上面的内层绝缘膜 13 中具有接触孔 14NS、14ND、14NW、14PS、14PD 及 14PW，在接触孔 14NS、14ND、14NW、14PS、14PD 及 14PW 中分别形成第一层的金属电极 15NS、15ND、15NW、15PS、15PD 及 15PW。类似地，栅电极 7N 及 7P 分别与选择覆盖住未示出的内层绝缘膜的第二层的金属线 30N 及 30P 相连。

为四个 N-沟道晶体管提供源极区的  $N^+$  型扩散层 3A 单独与金属电极 15NS 相连，并与金属电极 15PW 相连，而金属电极 15PW 与  $P^+$  扩散层 9C 相连，而扩散层 9C 为 P 阱 2A 的接触区，而  $N^+$ -型扩散层 3A 还与 GND 端子 17 相连。为那些 N-沟道晶体管提供漏极区的  $N^+$  型扩散层 3B 类似地被金属电极 15ND 公共地连接并与输入端 IN（参考图 15(a) 及输出端 OUT（参考图 15(b)）中的一个相连。N-沟道晶体管的栅电极 7N 通过金属线 30N 与 GND 端 17（参考图 15(a)）及未示出的内部元件（参考图 15(b)）中的一个相连。

为四个 P-沟道晶体管提供源极区的  $P^+$  型扩散层 9A 逐个地与金属电极 15PS、金属电极 15NW、及还与 VDD 端 19 相连，而其中金属电极 15NW 与作为 N 阱 8A 的接触区的  $N^+$  扩散层 3C 相连。为 N-沟道晶体管提供漏极区的  $P^+$  型扩散层 9B 类似地由金属电极 15PD 公共连接并与输入端 IN（参考图 15(a)）及输出端 OUT（参考图 15(b)）中的一个相连。P-沟道晶体管的栅电极 7P 与 VDD 端 19（参考图 15(a)）及另一个未示出的内部元件（参考图 15(b)）中的一个通过金属线 30P 相连。

现在描述当向输入/输出端 18 提供一个外部电涌的操作。为了进行对外部电涌的承受电压的电击穿的强度测试，从而测试仪器与输出端 18 相连并向 GND 端 17 及 VDD 端 19 提供正反电涌。首先，当将作为反向电压的电涌提供到 GND 端 17 时，由于其充当  $N^+$  型扩散层 3B 及 P 阱 2A 间的 PN 结的正向电压，从而正向 PN 结被导通。然后，电涌从 GND 端 17 通过  $P^+$  扩散层 9C、P 阱 2A 及  $N^+$  型扩散层 3B 而流到输入/输出端 18。然后，当将作为正电压的电涌提供到 GND 端 17 时，由于此与这样一种情况

相对应，即向与 N 沟道晶体管的源极相对应的漏极提供一正向电压，由于 N-沟道晶体管漏极区(3B)和栅极会在与漏极相邻的栅极的下端部的位置立即发生击穿，也即在 N<sup>+</sup> 型扩散层 4 的位置。击穿后，电流从漏极区(N<sup>+</sup>型扩散层 3(B))流到 P 阱 2A。因此，电流将 P 阱 2A 处的电势升高到一正电势，且其结果，向 P 阱 2A 及源极区(N<sup>+</sup> 型扩散层 3A) 之间的 PN 结提供一正向电压且 PN 结导通。其结果电流从漏极区(N<sup>+</sup> 型扩散层 3B)流到源极区(N<sup>+</sup>型扩散层 3A)。换句话说，PNP 寄生双极晶体管中，由漏极区(N<sup>+</sup>型扩散层 3B) 提供集电极，由 P 阱 2A 提供基极而由 N<sup>+</sup> 型扩散层 3A 提供发射极，由此 NPN 寄生双极晶体管被导通，接着，电涌从输入/输出端 18 通过 N<sup>+</sup> -型扩散层 3B、P 阱 2A 及 N<sup>+</sup> 型扩散层 3A 流到 GND 端 17。然后，当作为正电压的电涌被施加到 VDD 端 19 时，由于 P<sup>+</sup> -型扩散层 9B 及 N 阱 8A 间的 PN 结被正向电压导通，电涌从输入/输出端 18 通过 P<sup>+</sup> 型扩散层 9B、N 阱 8A 及 N<sup>+</sup> 扩散层 3C 流到 VDD 端 18。当将作为反向电压的电涌提供到 VDD 端 19 时，对 P -沟道晶体管会发生与上述的 N-沟道晶体管相类似的现象，由漏极区(P<sup>+</sup> 型扩散层 9B)、N 阱 8A 及源极区(P<sup>+</sup> 型扩散层 9A) 所形成的 PNP 寄生晶体管被导通。接着，电涌从 VDD 端 19 通过 P<sup>+</sup> 型扩散层 9A、N 阱 8A 及 P<sup>+</sup> 型扩散层 9B 流到输入/输出端 18。

如上所述，当向输入/输出端 18 提供外部电涌时，电涌被放电为电流在输入/输出端 18 及 GND 端 17 或 VDD 端 19 间流动，从而保护了内部电路元件。

另一方面，如果外部电涌被作为正向电压提供到 GND 端 17 或作为反向电压提供到 VDD 端 19，那么 NPN 或 PNP 寄生双极晶体管被导通以保证电流在晶体管的源极及漏极间流动。然而，在此情况下，源极及漏极间的电阻产生热。为了防止被由此产生的热量来将热生成部分熔化或击穿，也即，为了提高导通电流的允许量，输入/输出保护电路的晶体管通常具有几百微米的大的栅极宽度。具有此大栅极宽度的晶体管实质是由很多彼此并行设置的晶体管构成，并被设计为如图 16 中所示，在平面上的布线中，它们具有相等的栅极宽度 29。

如上所述，在上述的常规的半导体器件中，如果将作为正向电压的外部电涌提供到 GND 端 17 或将作为反向电压的电涌提供到 VDD 端 19，寄

生双极晶体管被导通，且电流在晶体管的源极及漏极间流动。这里，如果注意到这样一种情况，即将作为正向电压的电涌提供到 GND 端 17，N-沟道晶体管漏极的电流电压特性针对源极的电流电压特性如图 18 中所示。此外，图 19 中示出了电流在图 18 中流动路径。在图 18 中，如果由于电涌漏极电压变得与晶体管的击穿电压  $V_B$  相等，那么在与漏极相邻的栅极的下端立即发生击穿。此后，电流从漏极区向着 P 阱沿图 19 中的电流路线 A 流动，并当到达由  $V_1$ 、 $I_1$  所给出的点时，P 阱及源极区间的 PN 结被导通。接着，电流沿图 19 中电流路线 B 的漏极区→P 阱→源极区流动，而电压快速返回到快速返回电压  $V_S$ 。在快速返回后，电压及电流随着由输入/输出端 18 及漏极区( $N^+$ 型扩散层 3B)之间的金属线、漏极区( $N^+$ 型扩散层 3B)的电阻、漏极区( $N^+$ 型扩散层 3B)及源极区( $N^+$ 型扩散层 3A)间的 P 阱电阻、源极区( $N^+$ 型扩散层 3A)的扩散层电阻及源极区( $N^+$ 型扩散层 3A)和 GND 端 17 之间的导线的电阻的总和所确定的一倾角上升。 $V_2$  及  $I_2$  分别代表当电压及电流上升时晶体管被所产生的热所击穿时的电压与电流。

在上述快速返回之后，对电压及电流的上升起作用的电阻而言，金属线电阻只有几个欧姆低，而同样在漏极区( $N^+$ 型扩散层 3B)和源极区( $N^+$ 型扩散层 3A)之间 P 阱电阻在偶极晶体管被导通时为大约每 100  $\mu$ m 的栅极宽度几个欧姆。漏极区( $N^+$ 型扩散层 3B)和源极区( $N^+$ 型扩散层 3A)的扩散层电阻在无表面钛硅层的情况下为几百个欧姆高，但作为转换为钛硅层的结果，同样它们也只有大约几个欧姆。相应地，由于总电阻大约为几十欧姆，在急返为很小之后，电压一直上升到晶体管被击穿，且其结果可获得关系  $V_S < V_2 < V_B < V_1$ 。根据实际测量的例子，在  $V_B$  为 15V、 $V_1$  为 15.5V 及  $V_S$  为 10V 时晶体管的  $V_2$  为 12V。

这里，从关系  $V_2 < V_B$  中产生了第一问题。尤其是，在电涌流动的时刻由于偏差而造成图 16 中的多个分开的晶体管中仅有一个击穿，那么漏极电压在其快速返回到晶体管的  $V_S$  之后其仅上升到最大值  $V_2$ ，并接着，所余晶体管的漏极电压没到达击穿电压且对所余的晶体管不会发生击穿。其结果，由于电涌仅从被首先击穿的晶体管流过，如果电涌超过单一晶体管的电击穿承受电压，由于过大热量造成击穿，而输入/输出保护电路丧失了其功能。

第二个问题在于，晶体管的寿命被电流  $I_1$  所产生载流子热量所降低。这种现象在于，即晶体管的击穿就在与漏极区( $N^+$  型扩散层 3B)相邻的栅极的下端部发生，而当随后流动的电流通过栅极绝缘膜时，产生载流子热量并被栅极绝缘膜吸收，因此导致晶体管的电流的降低并进而引起栅极绝缘膜的介电击穿。此现象是随电压从  $V_B$  上升到  $V_1$  时的电流，并当电压为  $V_1$  时，电流为最大值  $I_1$  时产生的。

虽然上述仅针对 N-沟道晶体管，同样也适用于 P-沟道晶体管，即也会由类似的现象产生与上述第一第二问题类似的问题。

本发明的目的是提供一种输入/输出保护电路，其同样对包括精细 MOS 晶体管及具有由金属硅制成的扩散层的半导体器件表现出高的保护功能。

为了达到上述目的，根据本发明，其提供了一种半导体器件，包括多个形成在半导体基片上的电路元件、在半导体基片上选择设置的用于将电路元件彼此电隔离的场氧化物薄膜、用于向电路元件中的第一个元件提供一个外部信号的输入端、用于从电路元件中的第二个元件向外提供信号的输出端、及内置在第一电路元件及输入端之间和第二电路元件及输出端之间的一对保护元件用于保护电路元件免受外部电涌，每个保护元件包括多个并行设置的 MOS 晶体管且每个保护元件包括一个源极区、一源电极、一漏极区、一漏极电极、一绝缘区及一栅极电极，而其中的源极区包括选择形成在半导体基片的表面部分的第一导电型的一区域表面上的第二导电型的第一扩散层和形成在第二导电型的第一扩散层的表面上的第一金属硅层，源电极与所述第一金属硅化物层连接；漏极区包括第二导电型的第二扩散层，其在第一导电型的区域的至少一部分上与第二导电型的第一扩散层成相对关系并比其延伸的深，还包括形成在第二导电型的第二扩散层的表面部分上并包含浓度比第二导电型的第二扩散层的表面部分的浓度高的杂质的第二导电型的第三扩散层和设在第二导电型的第三扩散层的表面上的第二金属硅化物层；漏电极与所述第二金属硅化物层连接，在第二导电型的第一扩散层与第二导电型的第三扩散层之间形成一绝缘区并从第二导电型的第二扩散层的表面延伸到一预定的深度；另外其中的栅电极盖住第二导电型的第一扩散层与在其间内置有栅极绝缘膜的绝缘区之间的半导体基片的表面。



半导体器件也可这样构成，即形成保护元件的每个 MOS 晶体管被在栅极电极及源极电极与同一电源端相连，当向漏极电极提供一个过高的电压时，沿从漏极电极到第二导电型的第一扩散层的电流路径的寄生电阻通过提供第二导电型的第二扩散层而增大，从而设定一个比漏极电极的承受电压高的热击穿电压。在此情况下，半导体器件最好还包括一个端部与形成保护元件的每个 MOS 晶体管的漏极电极相连的电阻元件，在电阻元件的另一端与 MOS 晶体管的源极电极之间内置一个钳位二极管元件，其具有比 MOS 晶体管的击穿电压低的耐电压。

此外，半导体器件还可形成为这样一种形式，即形成保护元件的 MOS 晶体管的沟道长度设定得比形成电路元件的 MOS 晶体管的最小沟道长度的三倍要小。

此外，半导体器件还可以包含与第二导电型的第一扩散层的至少一个底面相连的第二导电型的第四扩散层，且其浓度低于第二导电型的第一扩散层的浓度。在此情况下，半导体器件可以这样构成，即第二导电型的第四扩散层围住第二导电型的第一扩散层。最好是，第二导电型的第四扩散层与第二导电型的阱同步地构成。

最好是，第二导电型的第二扩散层与第二导电型的阱同步地构成。

对于该半导体器件，由于具有被第二金属硅层减少电阻的第二导电型的第三扩散层被设置在第二导电型的第二扩散层的表面部分上，而且在第二导电型的第二扩散层的表面部分上提供绝缘区，当任何一个保护元件被击穿时，沿电流路径的电阻可被增大，而其结果，不易发生电路元件的击穿。

因此，根据本发明，即使多个 MOS 晶体管中的每一个都具有第一扩散层，由于其由金属硅制成，因此其具有降低的电阻，即使这些晶体管在源极及漏极区并行连接形成一个输入/输出保护器件，包括这样输入/输出保护器件的半导体器件可防止这样的情况发生，即如果由于施加到输入/输出的外部电涌而使得任何一个 MOS 晶体管遭受热击穿，那么其余的晶体管也不再有效地起作用。其结果，以高速运行的精细结构的半导体器件的可靠性可以得到保护。其原因在于，由于低浓度的第二导电型的第二扩散层被作为 MOS 晶体管的漏极区加入并在漏极电极与栅极电极之间提供一个绝缘区，沿从漏极电极到源极区的电流路线的寄生电阻被增大从而 MOS

晶体管的静电击穿电压可制得比 MOS 晶体管的击穿电压高。

此外，可以在不增加常规半导体器件生产步骤的情况下，制造根据本发明的包括输入/输出保护电路的半导体器件。

通过下面的描述及所附的权利要求，含对本发明的以上及其它的目的、特征及优点有更清楚的了解，而在所结合的相应附图中类似的部分或元件用类似的参考字母代表。

图 1 为本发明第一个最佳实施例的包括输入/输出保护电路的半导体器件的平面图；

图 2(a)及 2(b)为分别沿图 1 的线 A-A 及 B-B 的截面图；

图 3 为图 1 中示出的晶体管的电流-电压特性的示意图；

图 4 为当图 1 中所示晶体管发生击穿时的电流线路的截面图；

图 5 为本发明第二个最佳实施例的包括输入/输出保护电路的另一个半导体器件的平面图；

图 6(a)及 6(b)为分别沿图 5 的线 A-A 及 B-B 的截面图；

图 7 为描述图 5 中晶体管的电流-电压特性的示意图；

图 8 为描述当图 5 中所示的晶体管发生击穿时的电流线路的截面图；

图 9 为本发明的第三个最佳实施例的包括有输入/输出保护电路的另一个半导体器件的平面图；

图 10(a)及 10(b)为分别沿图 9 的线 A-A 及 B-B 的截面图；

图 11(a)及 11(b)、12(a)及 12(b)以及 13(a)及 13(b)分别为 N-沟道晶体管部分及 P-沟道晶体管部分的截面图，并示出了制造图 9 中所示输入/输出保护电路的方法的连续步骤；

图 15(a)及 15(b)为输入保护电路及输出保护电路的电路图；

图 16 为分别在图 15(a)及 15(b)中示出的输入及输出保护电路的布线的平面示意图；

图 17(a)及 17(b)为分别沿图 16 的线 A-A 及 B-B 的截面示意图。

图 18 为图 16 中所示晶体管的电流-电压特性的示意图；及

图 19 为当图 16 中所示晶体管击穿时电流路径的截面示意图。

首先参考图 1、2(a)及 2(b)，其示出了本发明采用的半导体器件的输入/输出保护电路。需注意的是，由于在图 1 中示出了并行排列的两个晶体管，实际上正如图 6 中所示的也可为四个或更多的并行排列的晶体管。

尤其是，图 1、2(a)及 2(b)示出了半导体器件保护元件，其包括多上形成在 P 型硅半导体基片 1 上的电路元件（未示出），被选择提供到硅半导体基片 1 上用于将电路元件彼此电隔离的场氧化薄膜 12A，用于向第一个电路元件提供一个输出端的输入端、用于从第二个电路元件向外提供信号的输出端，及在第一电路元件与输入端之间和在第二电路元件与输出端之间内置两个这样的保护元件用于保护电路元件免受外部电涌影响。在图 15(a)及 15(b)中示出的由图 1、2(a)及(b)中所示保护元件形成的输入/输出保护电路与上述的常规输入/输出保护电路相类似。

保护元件由一个 N 沟道晶体管部分及一个 P 沟道晶体管部分组成。P 沟道晶体管部分包括多个彼此并行设置的 MOS 晶体管（P 沟道晶体管），且其中每个包括一个源极区、一个与第一金属硅层相连的源电极（金属电极 15PS）、一个漏极区、一与第二金属硅层相连的漏极电极（金属电极 15PD）、一绝缘区 12C、及一个栅极电极 7Pa 和绝缘区 12C，而其中的源极区包括一个第一 P 型扩散层（P<sup>+</sup>型扩散层 9A 及 P 型扩散层 10）它们选择形成在 P 型硅半导体基片 1 的表面部分上的 N-型区（N 阱 8A）的表面部分上，及形成在 P<sup>+</sup>型扩散层 9A 的表面上并与其形成一种自对齐关系的第一金属硅层（钛硅层 11），另外其中的漏极区包括一个与第一 P-型扩散层（9A，10）以相对但比其深的关系的 N 阱 8A 具有相同深度提供的第二 P-型扩散层（P 阱 2B），形成在 P 阱 2B 的表面部分上并包含浓度比 P 阱 2B 的浓度高的杂质的第三 P-型扩散层（P<sup>+</sup>型扩散层 9Ba）及在 P<sup>+</sup>型扩散层 9Ba 的表面上与其以自对齐的关系形成的第二金属硅层（钛硅层 11）。此外其中的绝缘区 12C 被提供在第一 P 型扩散层（9A，10）及 P<sup>+</sup>型扩散层 9Ba 之间且从 P 阱 2B 的表面延伸一预定深度；另外其中的栅极电极 7Pa 盖住第一 P 型扩散层（9A，10）与其间内置有栅极绝缘膜 5a（10nm 厚的氧化硅薄膜）的绝缘区 12C 之间的 P 型硅半导体基片 1 的表面。

需注意的是，在图 1 中，为了便于描述未示出侧壁间隔 6a，而 N 型扩散层 4 及 P 型扩散层 10 被分别作为 N 型扩散层及 P 型扩散层与 N<sup>+</sup>型扩散层 3A 和 P<sup>+</sup>型扩散层 9A 的结合而示出。

同时 N-沟道晶体管部分包括多个彼此并行设置的 MOS 晶体管（N-沟道晶体管），且其中每个包括一个源极区、一个源极电极（金属电极

15NS)、一个漏极区、一个漏极电极(金属电极 15ND)、一个绝缘区 12B、及一个栅极电极 7Na, 而其中的源极区包括选择形成在 P 型硅半导体基片 1 的表面部分的 P 型区(P 阱 2A)的表面部分上的第一 N 型扩散层(N<sup>+</sup>型扩散层 3A 及 N 型扩散层 4)和形成在 N<sup>+</sup>型扩散层 3A 的表面上上的第一金属硅层(钛化硅层 11); 其中的漏极区包括一第二 N 型扩散层(N 阱 8B), 其被提供一与 P 阱 2A 具有相同的深度, 而 P 阱 2A 与第一 N 型扩散层(3A, 4)成相对的关系但比其要深, 还包括形成于 N 阱 8B 的表面部分上并包含浓度比 N 阱 8B 的浓度高的杂质的第三 N 型扩散层(N<sup>+</sup>型扩散层 3Ba)和设在 N<sup>+</sup>型扩散层 3Ba 的表面上上的第二金属硅层(钛硅层 11); 其中的绝缘区 12B 提供在第一 N 型扩散层(3A, 4)与 N<sup>+</sup>型扩散层 3Ba 之间并从 N 阱 8B 的表面延伸一预定深度; 而其中的栅极电极 7Na 盖住第一 N 型扩散层(3A, 4)与具有其间内置的栅极绝缘膜 5a 的绝缘区 12B 之间的 P 型硅半导体基片 1 的表面。金属电极 15NS、15ND、15NW、15PS、15PD 及 15PW 分别通过在内层绝缘膜 13 中形成的接触孔 14NS、14ND、14NW、14PS、14PD 及 14PW 与扩散层 3A、3C、9A、9Ba 及 9C 相连。

类似地, 栅极电极 7Na 及 7Pa 分别通过接触孔 14GN 及 14GP 与盖住未示出的内层绝缘膜的第二层的金属线 30N 及 30P 相连。N 沟道晶体管的源极区的 N<sup>+</sup>型扩散层 3A 分别与金属电极 15NS、金属电极 15PW、GND 端子 17 相连, 而其中的金属电极 15PW 与作为 P 阱 2A 的接触区的 P<sup>+</sup>扩散层 9C 相连。N 沟道晶体管的漏极区的 N<sup>+</sup>型扩散层 3Ba 类似地与金属电极 15ND 及与输入端子 IN (参考图 15(a))及输出端 OUT (参考图 15(b))中的一个相连。N 沟道晶体管的栅极电极 7Na 共同地被金属线 30N 相连并与 GND 端子 17 (参考图 15(a))或未示出的 (参考图 15(b))内部元件中的一个相连。

P 沟道晶体管的源极区的 P<sup>+</sup>型扩散层 9A 分别与金属电极 15PS、金属电极 15NW、及 VDD 端 19 相连, 而其中的金属电极 15NW 与作为 N 阱 8A 的接触区的 N<sup>+</sup>扩散层 3C 相连。P 沟道晶体管的漏极区的 P<sup>+</sup>型扩散层 9B 类似地与金属电极 15PD 连接并与输入端 IN (图 15(a))及输出端 OUT (图 15(b))中的一个相连。P 沟道晶体管的栅极电极 7P 被金属线 30P 公共相连并且栅极电极 7P 还与 VDD 端 19(图 15(a))及另一个未示出的另一内部

元件相连。

本实施例中的输入/输出保护电路的特征在于与 500nm 厚的场氧化物薄膜 12A 同时形成的绝缘区 12B 及 12C 被分别设在漏极区的  $N^+$  型扩散层 3Ba 与 N 沟道晶体管的栅极电极 7Na 之间及漏极区的  $P^+$  型扩散层 9Ba 与 P 沟道晶体管的栅极电极 7Pa 之间，而栅极电极 7Na 及 7Pa 分别部分延伸到绝缘区 12B 及 12C 的上方位置处。这里，晶体管的沟道区为分别位于栅极电极 7Na 及 7Pa 下面的除去延伸到绝缘区 12B 及 12C 上部的其它部分的 P 阱 2A 及 N 阱 8A，沟道区的长度为沟道长度（在图 1 中，表示出了 N 沟道晶体管的沟道长度 16）。栅极电极 7Na 及 7Pa 部分延伸到绝缘区 12B 及 12C 上面的原因在于为了防止栅极电极及绝缘区由于在生产中的位置移动而彼此错开。此外，N 阱 8B 形成在  $N^+$  型扩散层 3Ba 及绝缘区 12B 的下面且另外这样构成还是为了延伸到沟道区从而可防止 N 沟道晶体管出现偏差。类似地，P 阱 2B 被扩展到  $P^+$  型扩散层 9Ba 及绝缘区 12C 的以下位置并到达沟道区从而可防止 P 沟道晶体管出现偏差。

接着，描述在对本发明的输入/输出保护电路提供外部电涌时的操作。首先，当将针对 GND 端 17 为负电压的电涌提供到输入输出端 18（与金属线 15D 相连）时，由于这使得正向电压加到  $N^+$  型扩散层 3Ba 与 P 阱 2A 之间的 PN 结上，正向 PN 结被导通。然后，电涌从 GND 端 17 通过  $P^+$  扩散层 9C、P 阱 2A、N 阱 8B 及  $N^+$  型扩散层 3Ba 流到输入/输出端 18。

然后，如果将作为正向电压的电涌施加到 GND 端 17，N 沟道晶体管工作。下面参考图 3 描述每个 N 沟道晶体管的操作，图 3 描述了漏极对源极的电流-电压特性而图 4 描述了电流的路径。

当由于电涌而使得漏极电压升高时，在  $N^+$  型扩散层 3Ba 及 N 阱 8B 处的电压升高，且当漏极电压变得与  $V_{ba}$  相等时，由于 N 阱 8B 及栅极电极 7Na 间的电势差而使得正位于栅极电极 7Na 下面的 P 阱 2A 与 N 阱 8B 间的 PN 结发生击穿，接着，电流沿图 4 中的电流线路 A1 从漏极区（3Ba）流到 P 阱 2A。此后，当到达由图 3 中的  $V_{1a}$ ， $I_{1a}$  所确定的点时，P 阱 2A 及源极区（ $N^+$  型扩散层 3A）间的 PN 结被导通，且此后，电流沿图 4 的漏极区（3Ba）→ N 阱 8B → P 阱 2A → 源极区（3A）的电流线路 B1 流动且电压快速返回到速返电压  $V_{sa}$ 。在快速返回之后，电压和电流随着由从输入/输出端 18 到 GND 端 17 的电流线路的总电阻所决定的倾斜角来增大。

在此情况下，由于电流线路中的绝缘区 12B 下面的 N 阱电阻 20 具有几百欧姆的高电阻，同样由于当电流上升时电压升高的也很大，其结果，在晶体管被损坏处的电压  $V_{2a}$  可从图 3 中看到变成  $V_{2a} > V_{Ba}$ 。根据一个实际测得的例子，对于一个晶体管，在  $V_{Ba}$  为 18V、 $V_{1a}$  为 19V 及  $V_{Sa}$  为 14V 时， $V_{2a}$  为 23V。在此情况下，沟道长度 16 为  $0.8 \mu m$ （与图 16 及 18 的常规输入/输出保护电路中的一样），栅极电极长度  $L_g$ （栅电极 7Na 的宽度）为  $1.6 \mu m$ ，绝缘区 12B 的宽度为  $0.6 \mu m$ ，而 P 阱 2A 与绝缘区 12B 间的距离为  $0.6 \mu m$ 。

相应地，即使由于在电涌流过分开的晶体管的时段中由于偏差而使得分开的晶体管中仅有一个首先击穿，在漏极电压快速返回到晶体管的  $V_{Sa}$  之后到达  $V_{2a}$  之前其上升到  $V_{Ba}$ 。根据该设计，同样其余晶体管也相继被击穿。其结果，由于作为导通一电流的电涌流过所有的晶体管，晶体管的静电击穿电压不会被超过从而输入/输出保护电路可维持其功能。

在多个并行连接的晶体管形成一个输入/输出保护电路的情况下，为了使所有的晶体管都表现出保护的作用，晶体管的击穿电压的最高值应比晶体管的热击穿电压的最低值低。由于由电涌产生的焦耳热  $Q$  通过沿电流线路的电阻  $R$  及电流  $I$  的平方的结果  $RI^2$  所给出，在  $RI$  为常数情况下， $Q$  对  $R$  成反比地上升。简略地说，当  $R$  上升时，热击穿电压也升高。当与常规输入/输出保护电路相比时，由于电流线路 B1 比电流线路 B 长，并环绕的长，同样在空间分散的情况下也会产生焦耳热，这对提高热击穿电压以及电阻为高的事实是有效的。相应地，上述的条件可以实际地实现。

需注意的是，保护晶体管的沟道长度 16 最好设定为比内部电路元件 (MOS 晶体管) 的最小沟道长度的三倍要小。虽然有时在内部电路中采用具有三倍沟道长度的保护晶体管作为高压承受元件，最好不使用高耐压元件作为保护元件。进一步说，首先，当沟道长度下降时，元件尺寸下降且整个保护元件的面积也会降代。其次，由于当沟道长度下降时快返电压  $V_S$  下降，同样当电涌被放电时，施加到内部元件的电压也下降，从而可抑制由于高压而造成的内部元件的栅极绝缘膜的击穿。第三，当沟道长度下降时，当输入/输出保护电路同样充当输入/输出缓冲器时（图 15(b)）的电路同样作为输出缓冲器时，也即当向漏极及栅极提供电源电压时，保护晶体管的驱动能力会升高。

当将针对 VDD 端 19 作为正向电压的电涌提供到输入/输出端 18 时，由于这造成  $P^+$  型扩散层 9Ba 及 N 阱 8A 间的 PN 结的一个正向电压，正向 PN 结被导通。此后，电涌从输入/输出端 18 通过  $P^+$  扩散层 9Ba、P 型 2B、N 阱 8A 及  $N^+$  扩散层 3C 流到 VDD 端 19。然而，当将作为负电压的电涌施加到 VDD 端 19 时，P-沟道晶体管工作，由于通过将正反之间的 N-沟道晶体管的电流及电压反向可获得上述的 P-沟道晶体管的类似效果，由此这里略去了对它们的描述。

现在参考图 5、6(a)及 6(b)，其示出了本发明采用的另一个半导体器件的另一个输入/输出保护电路。本实施例中的输入/输出保护电路与第一实施例中的输入/输出保护电路的修改之处及不同之处在于  $N^-$  型扩散层 21 形成在  $N^+$  型扩散层 3A 的下面并与其相接触，而  $N^+$  型扩散层 3A 提供了 N-沟道晶体管的源极区，而  $P^-$  型扩散层 22 形成在  $p^+$  型扩散层 9A 的下面并与其接触， $P^+$  型扩散层 9A 提供了 P-沟道晶体管的源极区。

当将作为反向电压的外部电涌提供到 GND 端 17 时，本实施例中的输入/输出保护电路的操作与上述第一实施例中的输入/输出保护电路中的情况一样。然而，当将作为正向电压的电涌施加到 GND 端 17 时，N-沟道晶体管工作。参考图 7 描述了每个 N-沟道晶体管的操作，图 7 描述了漏极对源极的电流-电压特性，而图 8 描述了电流的线路。当由于电涌使漏极电压上升到  $V_{Bb}$  时，在正处于栅极电极 7Na 下面的 P 阱 2A 及 N 阱 8B 间的 PN 结处立即发生击穿，且电流从漏极区(3Ba)流到 P 阱 2A。然而，在此情况下，从图 8 中的电流路径 A2 可以看出，电流流动旁路了  $N^-$  型扩散层 21，接着，电流路径被分散到比电流路径 A1 深的区域，而在该区域无  $N^-$  扩散层 21。如果 P-型杂质浓度为这样一种情况，即其在 P 阱 2A 中的深部区域降低，那么当电流沿电流路径 A2 流动时，电压降变得比当电流沿电流路径 A1 流动时大，并且施加到 P 阱 2A 及  $N^+$  型扩散层 3Ba 之间及 P 阱 2A 及  $N^-$  型扩散层 21 之间的正向电压增大。此外，由于  $N^-$  型扩散层 21 的杂质浓度比  $N^+$  型扩散层 3Ba 的低，在 PN 结被导通处的正向电压在 P 阱 2A 及  $N^-$  型扩散层 21 之间比 P 阱 2A 及  $N^+$  型扩散层 3Ba 之间的低。相应地，如图 7 中所示，电压  $V_{1b}$  变得比无  $N^-$  型扩散层 21 时的  $V_{1a}$  低，且通过电压  $V_{1b}$  在发生击穿后电压一直上升到发生快速返回为止。简言之，通过降低在击穿后从 I1a 流到 I1b 的电流的最大值，可抑制

热载流子的生成而同时晶体管的可靠性也可得到提高。

当将相对于 VDD 端 19 作为正或负电压的电涌提供到输入/输出端 18 时也可获得上述的类似效果。

现在参考图 9、10(a)及 10(b)，其示出了采用本发明的另一个半导体器件的输入/输出保护电路。本实施例中的输入/输出保护电路与上述第二实施例中的输入/输出保护电路的修改之处及区别在于所形成的 N<sup>-</sup> 型扩散层 21a 与提供了 N-沟道晶体管的源极区的 N<sup>+</sup> 型扩散层 3A 的底面及侧面相接触，致使其延伸到栅极电极 7Pa 的下部位置，而 P<sup>-</sup> 型扩散层 22a 被设置为与提供 P 沟道晶体管的源极区的 P<sup>+</sup> 型扩散层 9A 的底面和侧面接触，致使它扩展到栅电极 7Pa 下方位置。

当施加外部电涌时，输入/输出保护电路的操作与上述第二实施例中的输入/输出保护电路的操作相同。然而，由于 N<sup>-</sup> 型扩散层 21a 及 P<sup>-</sup> 型扩散层 22a 被扩展到晶体管的栅电极的下方位置，在单个晶体管击穿后，正向 PN 结更易于被导通，而接着，电压一直上升到快速返回产生再进一步降低。相应地，通过降低 N 阱 8B 及 N<sup>-</sup> 型扩散层 21a 间的距离及 P 阱 2B 和 P<sup>-</sup> 型扩散层 22a 间的距离到这样一种程度，即在 PN 结被导通前不会发生击穿现象，可抑制在速返发生之前击穿发生之后电流及热载流子的产生，并从而进一步提高晶体管的可靠性。

描述了上面既提供 N-沟道晶体管也提供 P-沟道晶体管的输入/输出保护电路的同时，根据需要也可只提供一个这样的晶体管。

接着对上面实施例中描述的输入/输出保护电路进行描述。在第一个实施例中的输入/输出保护电路中，N 阱 8A 及 8B 被同时形成，同样 P 阱 2A 及 2B 也同时形成。与此同时，在第二和第三实施例中的输入/输出保护电路中，N<sup>-</sup> 型扩散层 21 或 21a 及 P<sup>-</sup> 型扩散层 22 或 22a 可通过预定的光抗蚀掩模形成和离子植入附加步骤来形成。然而，如果 N<sup>-</sup> 型扩散层 21 或 21a 与 N 阱 8A 及 8B 同时形成而 P<sup>-</sup> 型扩散层 22 或 22a 与 P 阱 2A 及 2B 同时形成，则不需要提供另外的生产步骤。在此情况下，除了 N<sup>-</sup> 型扩散层 21 或 21a 及 P<sup>-</sup> 型扩散层 22 或 22a 的形成以外，生产第一、第二及第三实施例中的输入/输出保护电路的方法是一样的，因此，在这里详细描述本发明的第三实施例中的输入/输出保护电路的生产方法。

首先，正如在图 11(a)及 11(b)中所看到的，P 型硅半导体基片 1 的表



面被选择地氧化以形成作为场氧化物薄膜 12A 及绝缘区 12B 及 12C 的 500nm 厚的硅氧化物薄膜，然后，在预定位置被用光抗蚀膜 23 掩盖时，磷离子被作为 N 型杂质 24 注入形成 N 阱 8A 及 8B 及大约 2 $\mu$ m 深的 N<sup>-</sup> 型扩散层 21a。接着，如图 12(a)及 12(b)中所示，当在预定位置被用光抗蚀膜 25 掩盖时，硼离子被作为 P 型杂质 26 注入形成 P 阱(2A,2B) 及大约 2 微米厚的 P<sup>-</sup> 型扩散层 22a。此后，如图 13(a)及 13(b)中所示，P 型硅半导体基片 1 的表面被氧化形成 10nm 厚的栅极绝缘膜 5a，然后通过 CVD 方法在栅极绝缘膜 5a 的表面上生长作为杂质的包含磷的多晶硅薄膜，此后其被制作图形而在预定位置处形成栅极电极 7Na 及 7Pa。然后，形成 N<sup>-</sup> 型扩散层 4 及 P<sup>-</sup> 型扩散层 10 并在栅电极 7Na 及 7Pa 上形成侧壁间隔 6a，此后，选择进行离子注入以形成 N<sup>+</sup> 型扩散层 3A、3B 及 3C 以及 P<sup>+</sup> 扩散层 9A、9B 及 9C。此后，如图 9、10(a)及 10(b)中所示，通过在 N<sup>+</sup> 型扩散层 3A、3B、3C 及 P<sup>+</sup>型扩散层 9A、9B 及 9C 表面上成自校准关系的 Ti 膜的反应形成钛化硅层 11，然后形成作为内层绝缘膜 13 的大约 1 $\mu$ m 厚的氧化硅薄膜。在内层绝缘膜 13 的预定位置，打孔形成接触孔 14ND 等，然后形成另一个未示出的内层绝缘膜及接触孔 14GN 及 14GP，然后形成第二层的金属线 30N 等。由此，完成包括输入/输出保护电路及内电路的半导体器件。

在前面的描述涉及这样一种情况，即第二导电型的第二扩散层为阱时，由于其仅需要比第二导电型的第一和第三扩散层的杂质浓度低的杂质浓度且具有一适宜的深度，因此需要另外提供一个特殊的步骤。

在上面描述了第一、第二及第三实施例中输入/输出保护电路及其制造方法的同时，下面还要描述应用本发明的另一半导体器件的另一输入/输出保护电路。图 14 示出了根据本发明第四实施例的输入/输出保护电路的电路图。参考图 14，MOS 晶体管 P2 及 N2 两者或一个具有上述的与第一、第二或第三实施例中的输入/输出保护电路相连接的结构，而电阻器 27 为由诸如多晶硅膜形成的电阻元件。二极管 28 为以诸如在扩散层和阱之间形成的 PN 结形式的电压钳制元件。

接着，对输入/输出保护电路的操作进行描述。对于第一、第二及第三实施例中的输入/输出保护电路中的晶体管结构，由于漏极具有 N 阱的寄生电阻 20，例如如图 4 中所示，在图 3 中所描述的性质表现为关系

$V_{2a} > V_{Ba}$ ，其中输入保护元件的漏极与诸如输入电路的内部元件的栅电极相连，有这样一种可能，即可能会对内部元件的栅电极施加最大为  $V_{2a}$  的电压，且当  $V_2$  变得特别高时，有这样一种可能，即会发生内部元件的栅极绝缘击穿。因此，通过形成二极管 28，其设在输入保护元件与内部元件之间以低于  $V_{2a}$  的电压击穿，并在输入保护元件与二极管 28 间提供电阻 27，将被施加到内部元件的电压可用与  $V_{2a}$  的值无关的二极管 28 的击穿电压来钳制。在此情况下，由于输入保护元件的漏极电压与二极管 28 的承受电压间的差从而电流流过电阻器 27。

虽然已全面描述了本发明，对于本领域中的普通技术人员而言很明显地所作的各种变化及修改都不会脱离在此所述的本发明的实质及范围。

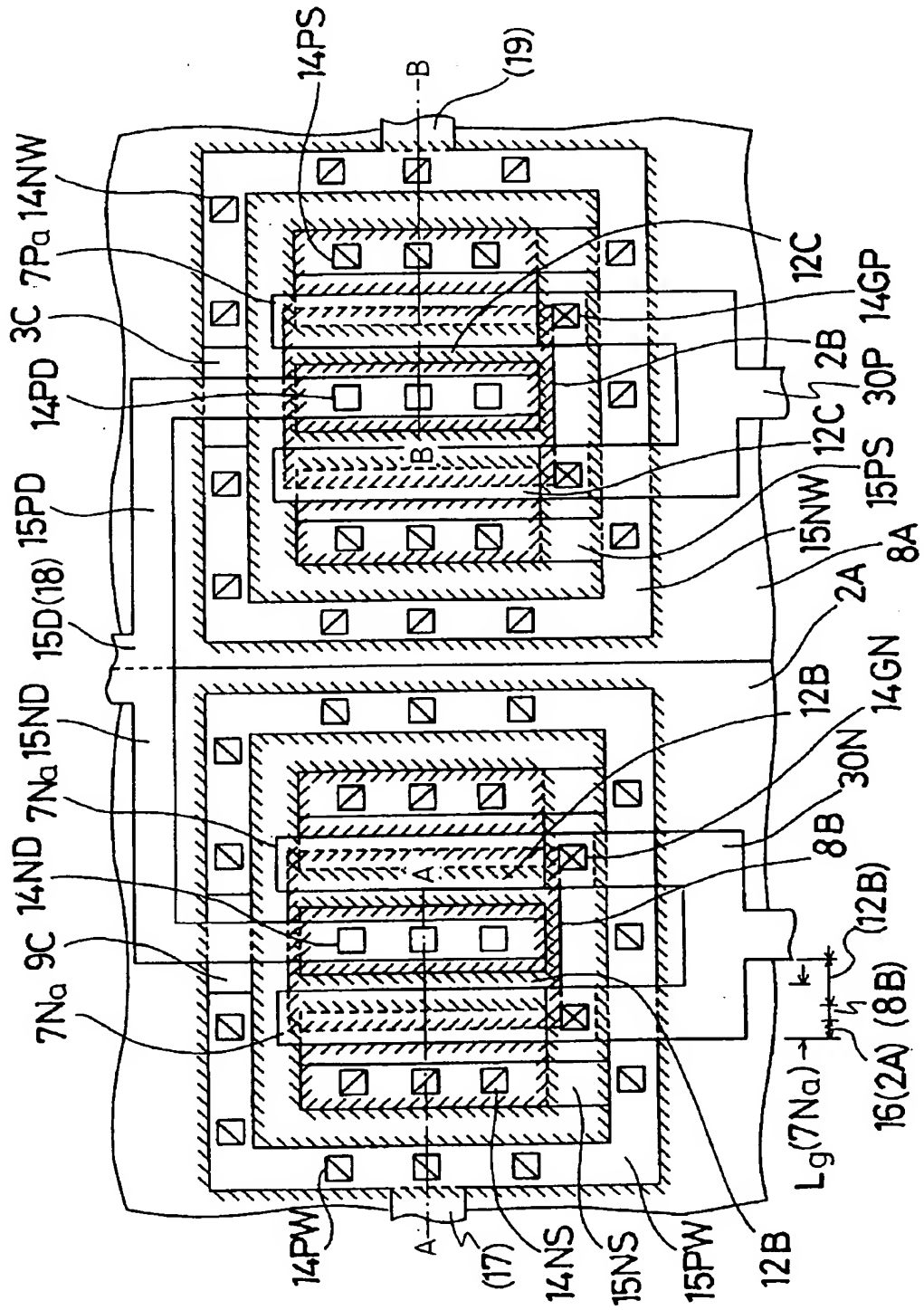


图 1

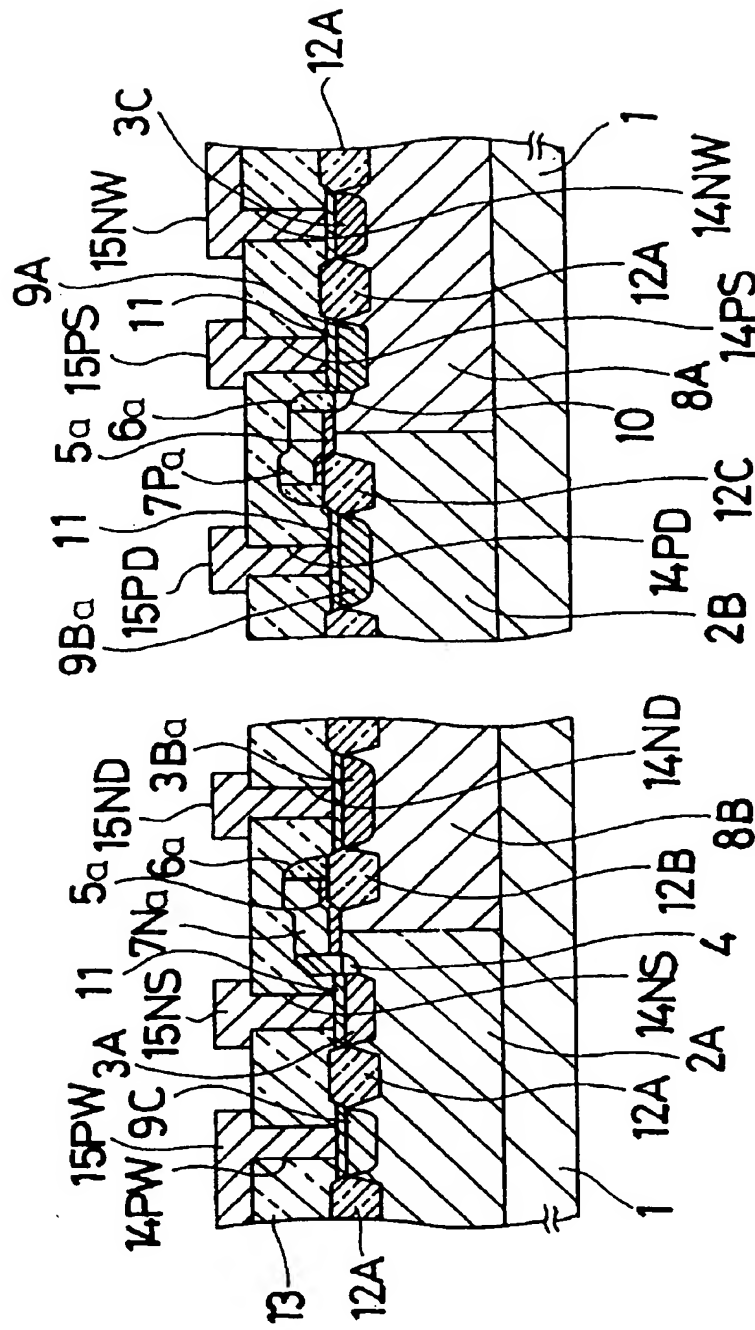


图 2(a)

图 2(b)

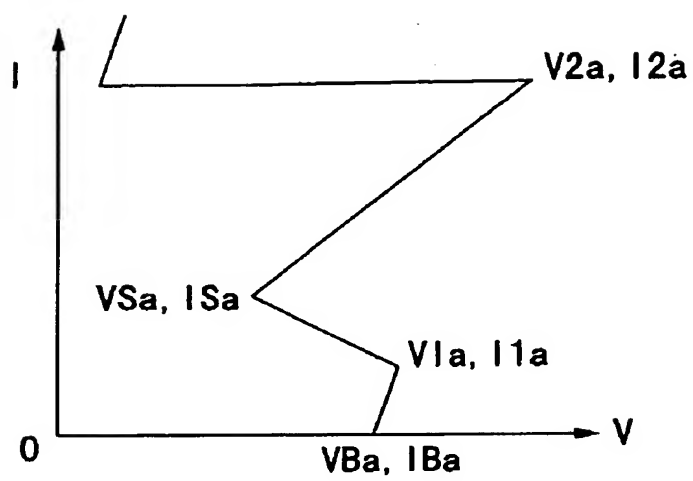


图 3

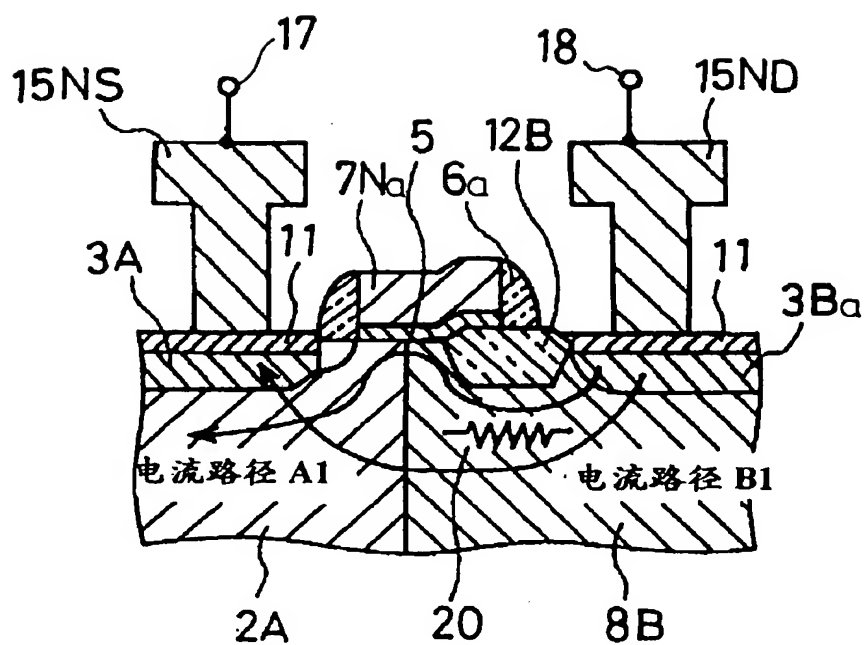
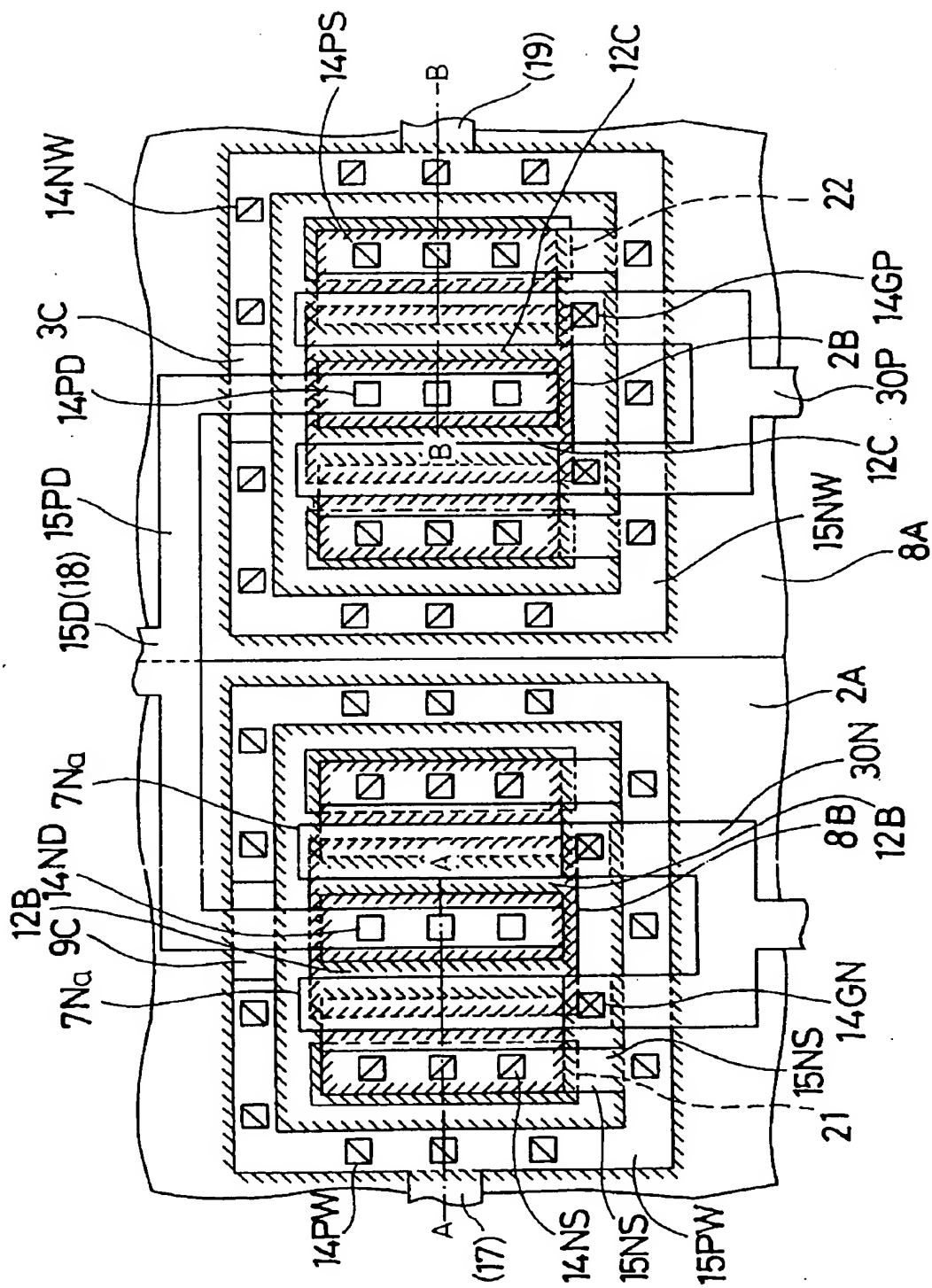


图 4



54





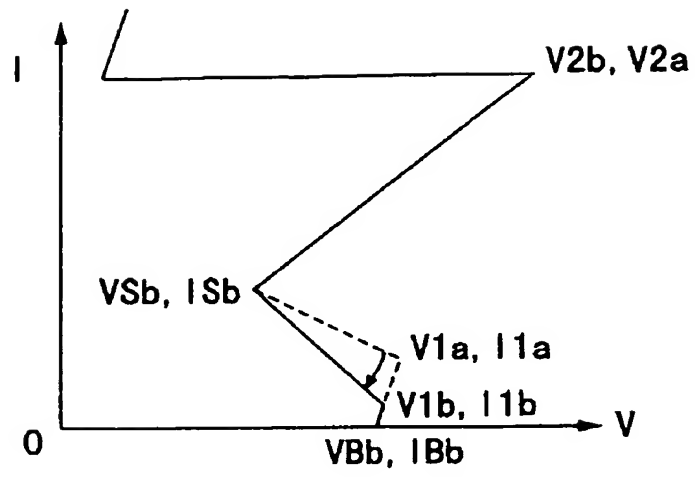


图 7

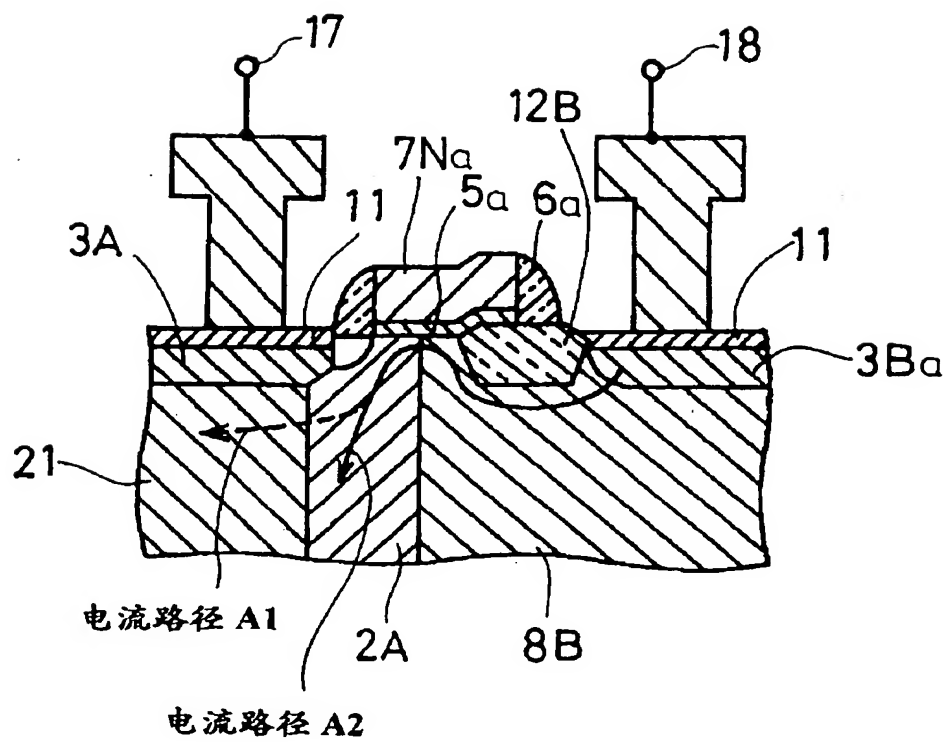


图 8



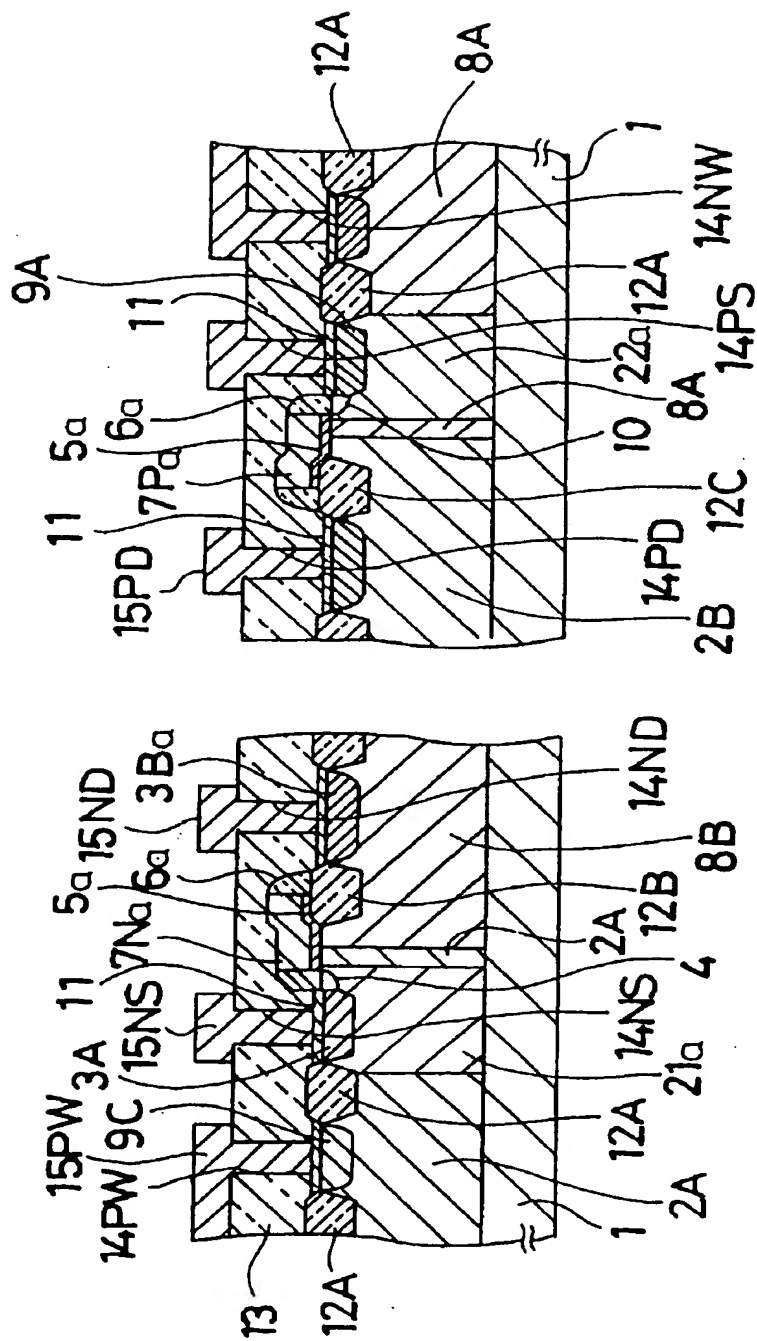


图 10(a)

图 10(b)

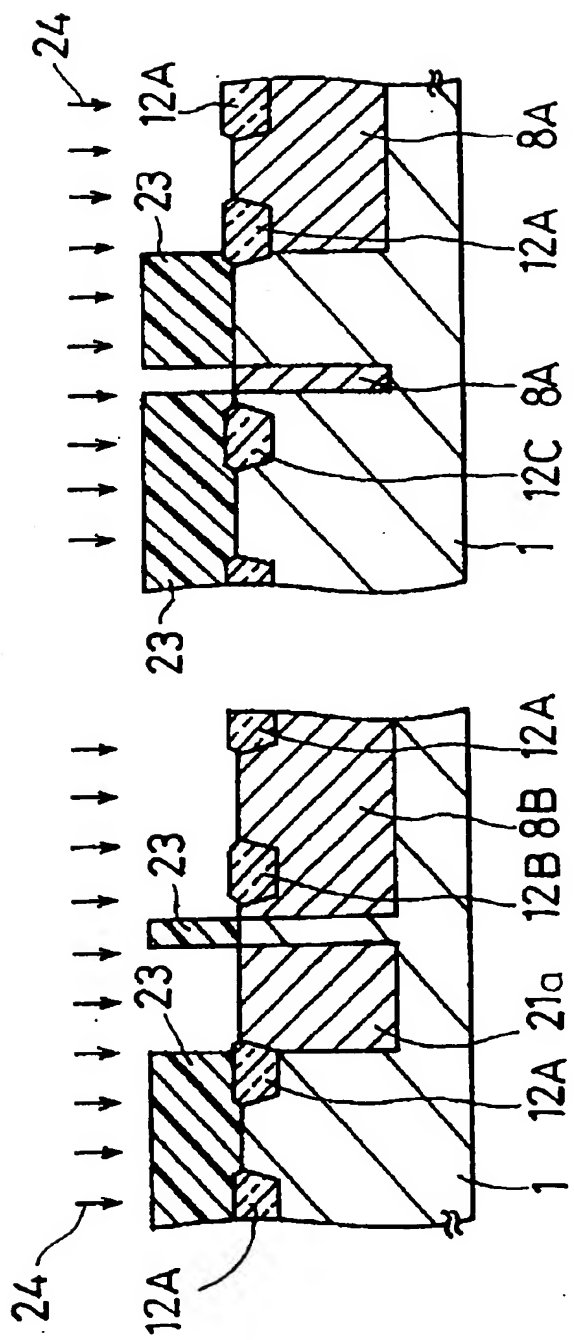


图 11(a)

图 11(b)



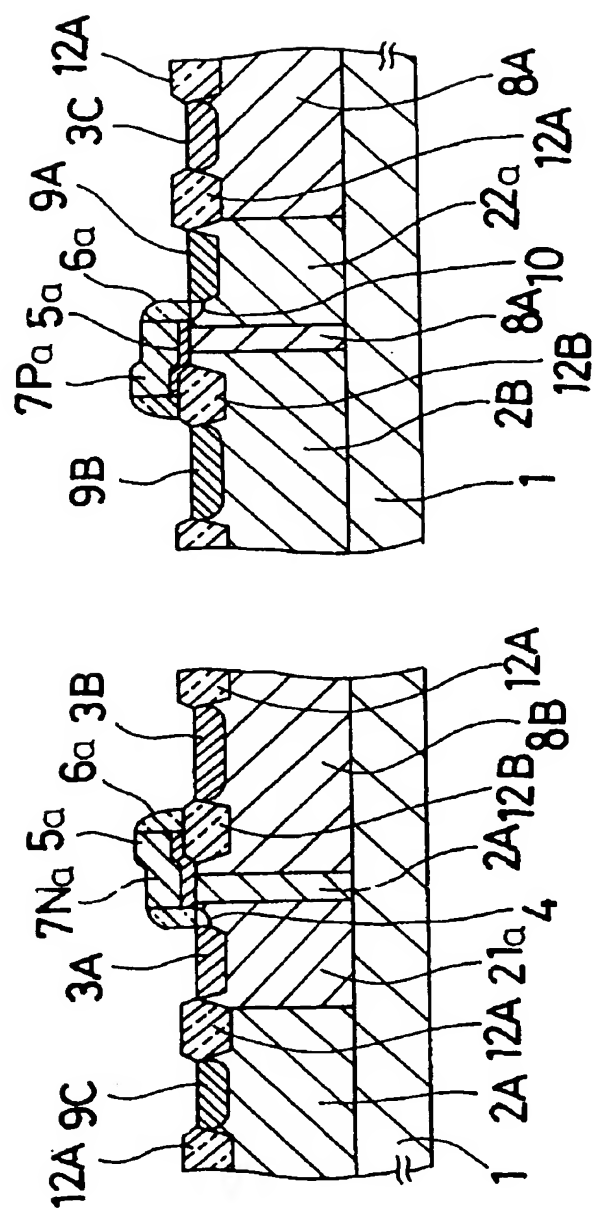


图 13(a)

图 13(b)

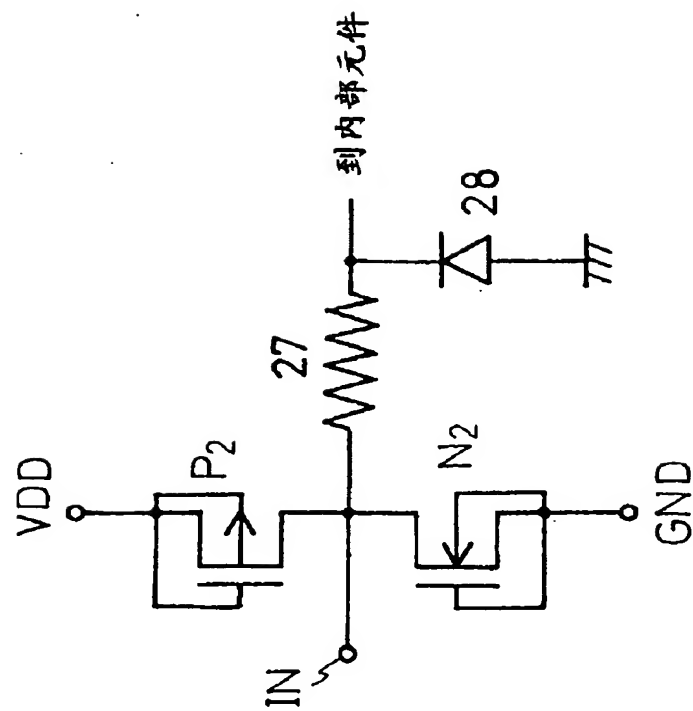


图 14



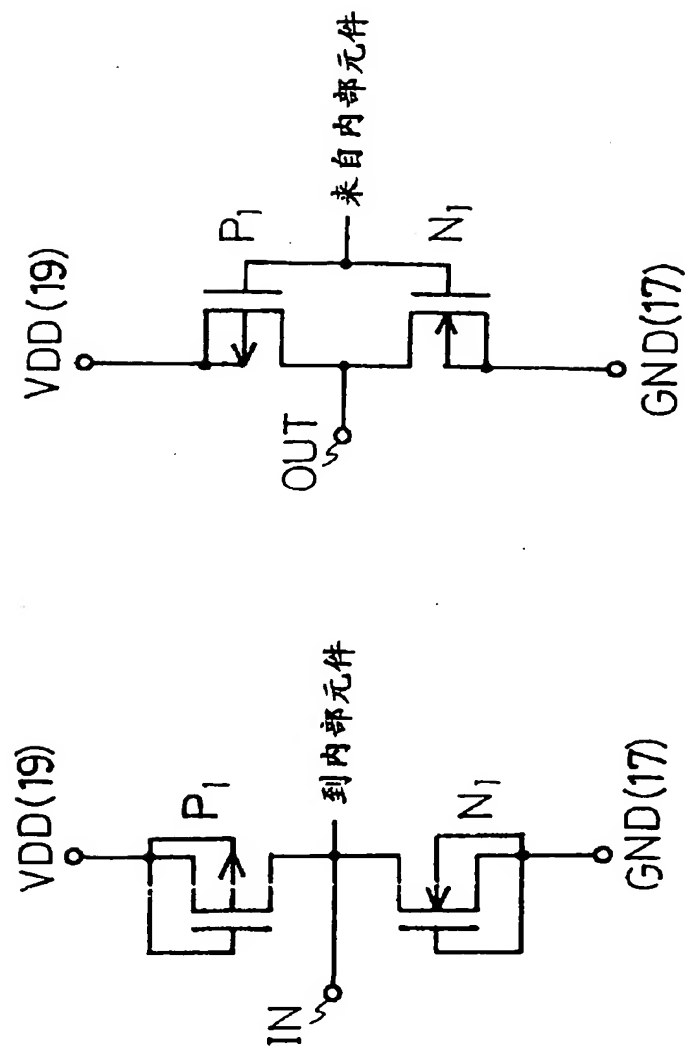


图 15(a)

图 15(b)

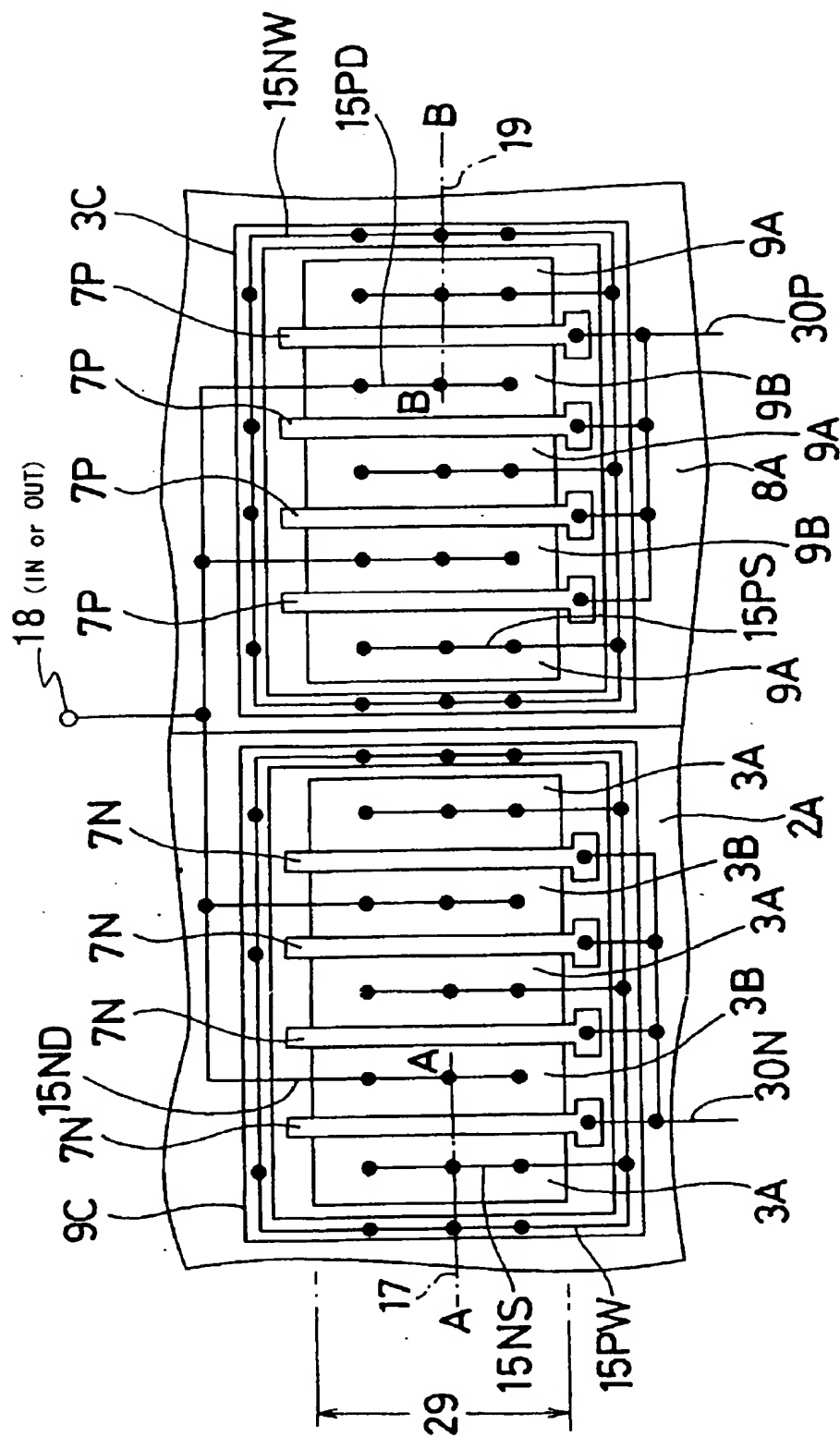


图 16

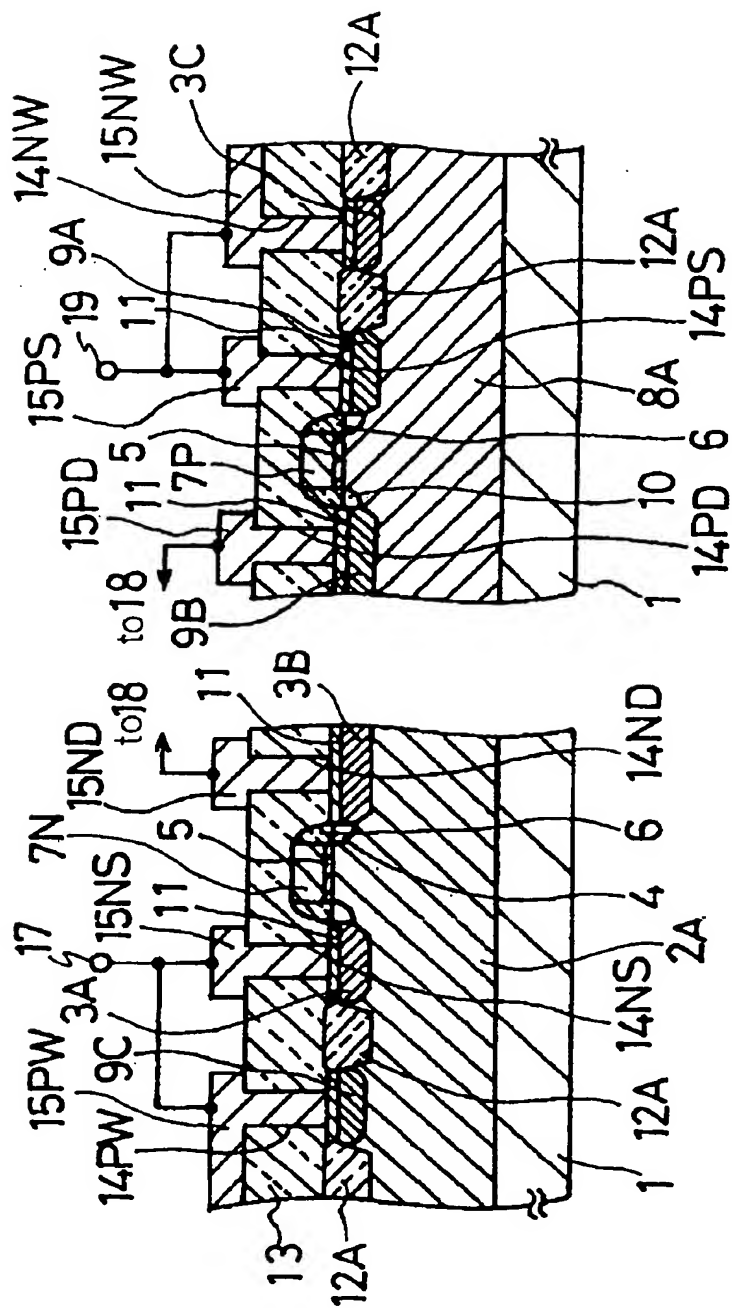


图 17(a)

图 17(b)

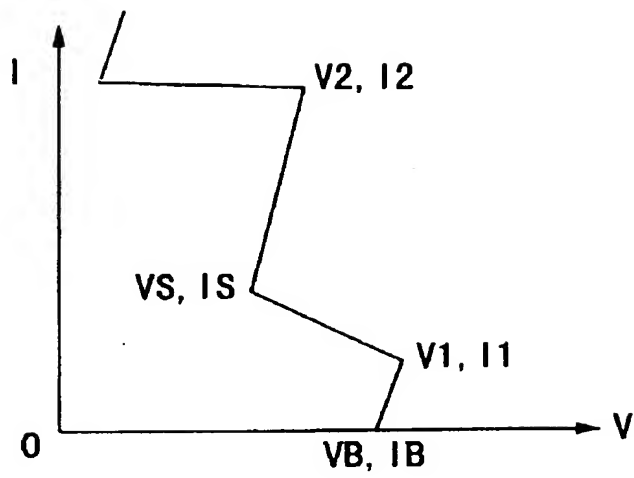


图 18

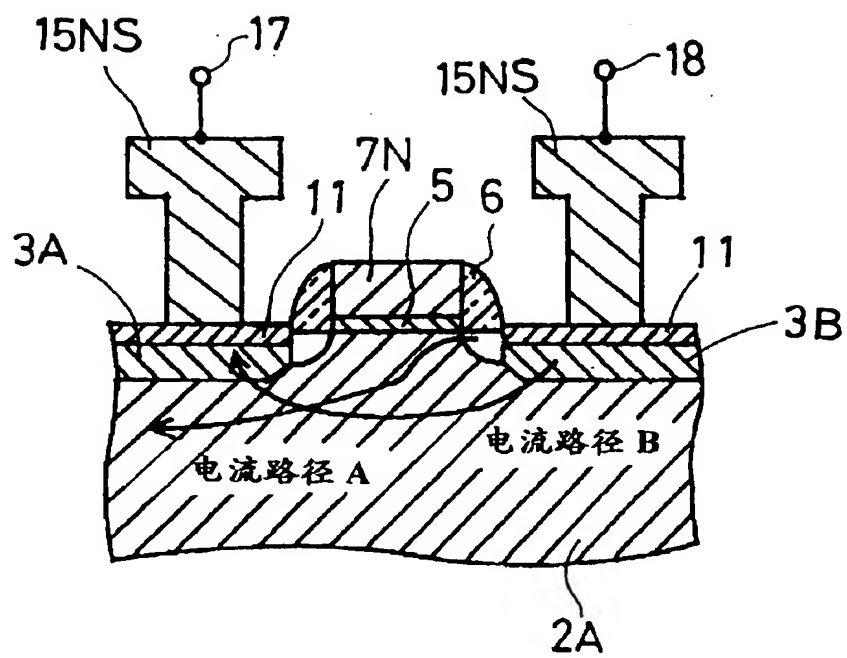


图 19